

公開実用 昭和60— 9312

③ 日本国特許庁 (JP)

① 実用新案出願公開

② 公開実用新案公報 (U)

昭60—9312

⑤ Int. Cl.⁴
H 03 F 1/00

識別記号

庁内整理番号
6932—5 J

④ 公開 昭和60年(1985)1月22日

審査請求 有

(全 頁)

⑥ 通波音防止回路

⑦ 実 願 昭56—167608

⑧ 出 願 昭53(1978)8月29日

(前特許出願日援用)

⑨ 考 案 者 佐野芳昭

川崎市中原区上小田中1015番地

富士通株式会社内

⑩ 考 案 者 花澤敏夫

⑪ 考 案 者

川崎市中原区上小田中1015番地
富士通株式会社内

半田春美

⑫ 出 願 人

川崎市中原区上小田中1015番地
富士通株式会社内

富士通株式会社

⑬ 代 理 人

川崎市中原区上小田中1015番地
弁理士 青木朗 外3名

明 細 書

1. 考案の名称

過渡音防止回路

2. 実用新案登録請求の範囲

1. 入力信号を受信する入力段と該入力段に接続するドライバ段と該ドライバ段に接続し負荷を駆動する出力段とからなる組を少なくとも1組有してなる低周波電力増幅器に付加されるべき過渡音防止回路であって、所定の一定電圧(V_g)を第1入力とし電源投入後電源電圧に向って充電される電圧比較容量(C_p)の端子電圧(V_p)を第2入力とするコンパレータ(24)を備え、前記電圧(V_g)および(V_p)が $V_g > V_p$ より $V_g = V_p$ に至る期間中該コンパレータ(24)の出力によって前記ドライバ段をオフ状態とすると共に、第1充電手段(23)をオンにして前記電圧比較容量(C_p)を充電し、第2充電手段(25)および第3充電手段(26)をオンにしてそれぞれ前記入力段の差動増幅回路に接続される入力結合容量(C_{in})および負荷並バイパス容量(C_x)を前記電圧(V_g)に向っ

(1)

106

実開60-9312

公開実用 昭和60— 9312

て充電し、前記電圧(V_S)および(V_P)が $V_S = V_P$ となった瞬時以降において前記ドライバ段をオン状態にすると共に、前記第1、第2および第3充電手段(23、25、26)をオフにすることを特徴とする過渡音防止回路。

2. 入力段とドライバ段と出力段とからなる組が、入力信号の位相反転信号を扱うインバートアンプ系にも存在し、コンパレータ(24')の出力はドライバ段をオフ状態とする際に該インバートアンプ系のドライバ段をもオフ状態とし且つ該インバートアンプ系の出力段をもオフ状態とする実用新案登録請求の範囲第1項記載の過渡音防止回路。

3. 考案の詳細な説明

本考案は過渡音防止回路、特にOTL(output transformer less)方式の低周波電力増幅器に適用する電源投入時過渡音防止回路に関する。

OTL方式の低周波電力増幅器は例えば通常のラジオの出力段回路として広く採用されている。このOTL方式の低周波電力増幅器(以下単に増

幅器とも称す)は、後述するとおり、電源投入時の出力が高レベルとなるような入力条件となってしまうため、該電源投入時においてスピーカ等の負荷に接続する出力結合容量を充電する大電流が瞬時的に現われる。この出力結合容量が充電されると共に出力の電圧は所定のレベルに通し、例えば音声等の入力信号が前記スピーカより再生される。このように電源投入時には前記出力結合容量を充電するまでの過渡期間に亘って前記の大電流が現われ、スピーカに不快な過渡音が再生される。またこの大電流は前記出力結合容量を介して微分パルスとなりスピーカを破壊してしまうこともある。

従って本考案の目的は、OTL方式の低周波電力増幅器における過渡音防止回路を提供することである。

上記目的に従い本考案は、入力段に配置される差動増幅回路と、該差動増幅回路に接続するドライバ段と、出力段に配置されるSEPP(single ended push pull)方式の増幅回路から基本的



公開実用 昭和60— 9312

に構成される増幅器において、前記出力段の出力電圧が所定のレベルに達するまでの間すなわち前記差動増幅回路の入力が平衡状態に達するまでの間少なくとも前記ドライバ段以降をオフとして前記出力電圧を零とするようなミューティング期間を設け、該ミューティング期間の経過後、オフとなっていた前記ドライバ段以降をオンとして前記出力段に通常出力信号のみを現出せしめ、あるいは通常出力信号に前記所定のレベルに立上る出力電圧を重ねることによって過渡音の発生を根本的にあるいは実質的に消滅するようにしたことを特徴とするものである。

以下図面に従って本考案を説明する。

第1図は本考案が適用される一般的なOTL方式の低周波電力増幅器を示すブロック図である。本図において、増幅器は入力段10、ドライバ段12、出力段13、出力結合容量C、および負荷であるスピーカ14からなり、入力段10はさらに詳しくは差動増幅回路11と、その非反転入力に接続する入力信号源 S_{in} および入力結合容量

(4)

109

弁
理
士
大
橋
正
一

C_{in} と、その反転入力およびアース間に接続される負帰還バイパス容量 C_f とからなる。また出力段 13 はさらに詳しくは SEPP 方式で構成され、NPN トランジスタ T_1 および PNP トランジスタ T_2 の対と、電流源 I と、ダイオード D とからなる。

次に過渡音生成の過程を説明すると、スイッチ 15 がオンとなり、電源バイパス容量 C_n を介して電源投入が行なわれる時点において、容量 C_{in} および C_f は未充電であって差動増幅回路 11 の入力には平衡状態がなく、該回路 11 はオフであってその出力は零である。従ってドライバ段 12 はオフであり、出力段 13 の PNP トランジスタ T_2 もオフである。ところが一方、スイッチ 15 のオンによってベースバイアス電流源 I はほぼ瞬時にオンとなり、NPN トランジスタ T_1 をオンにする。これにより出力段 13 の出力にはほぼ電源電圧 V_{DD} に近い出力電圧 (V_o) が現われ、これが出力結合容量 C_o を介してスピーカ 14 に印加される。すなわちスピーカ 14 に過渡音が現われる。

(5)

110

110

公開実用 昭和60— 9312

また時としてスピーカ14を破壊することもある。

上述した過渡音の発生を防止すべく、本考案は第2図に示す過渡音防止回路を提案する。第2図は本考案に基づく過渡音防止回路を付加した増幅器を示す回路図である。本図において、点線のブロック20が本考案に係る過渡音防止回路である。なお、本図において第1図と同一の参照番号および記号が付された構成要素は相互に同一である。

過渡音防止回路20は、図示するとおり、抵抗21、21'（いずれも抵抗値 R_1 ）、抵抗22、22'（いずれも抵抗値 R_2 ）、充電回路23、コンパレータ24、第1ボルテージフォロワ回路25、第2ボルテージフォロワ回路26および電圧比較容量 C_P からなる。過渡音防止回路20の動作説明には時間的要素が介入するので、ここで時刻 t_0 および t_1 を規定しておく。時刻 t_0 は電源投入時であり、時刻 t_1 は時刻 t_0 よりミューティング期間 T を経た時刻である。先ず時刻 t_0 にてスイッチ15をオンにし電源投入する。この瞬時に抵抗21および22の中間点27には電圧 V_B が現わ

(6)

11月

れる。電圧 V_S は $V_S = \frac{R_2}{R_1 + R_2} V_{OO}$ なる値であり瞬時に立上る。この電圧 V_S はコンパレータ 24 の一方の入力に印加され、その他方の入力に印加される点 28 の電圧 V_P とレベル比較される。電圧 V_P は電圧比較容量 C_P の端子電圧に等しく、時刻 t_0 において本容量 C_P は未充電であるから、 $V_S > V_P$ である。またその後のキューティング期間 T においても $V_S > V_P$ が成立している。 $V_S > V_P$ であることからコンパレータ 24 はオンとなり、その 3 出力は、それぞれ充電回路 23、第 1 ボルテージフォロワ回路 25、第 2 ボルテージフォロワ回路 26 はオンとしドライバ段 12' はオフとする。なお、ドライバ段 12' をオフにするというのは、通常の入力信号増幅動作から切り離した状態で PNP トランジスタ T_2 をオンにすることを意味し、ドライバ段 12' をオンにするというのは過渡音防止動作から切り離して通常の入力信号増幅動作を行なわせることを意味する。今、ドライバ段 12' はオフであるから、出力段 13 の PNP トランジスタ T_1 (第 1 図参照) はオンとなり、今度

(7)

112

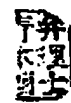
新井
大正
興士印
理
士

公開実用 昭和60— 9312

は出力電圧 V_o は零に保たれる。つまり過渡音は発生しない。一方、充電回路 23 がオンとなったことから、電圧比較容量 C_p は急速に充電し始める。従って本回路 23 は抵抗 21' のバイパス回路と考えることができる。この急速な充電の様子は第3図のグラフより明らかである。第3図において横軸は経過時間、縦軸は電圧（特に電圧比較容量 C_p の端子電圧）を示し、曲線 31（実線および点線）は電源電圧 V_{CC} に向って急上昇する。もし充電回路 23 が無いとすると、該端子電圧は曲線 33 に沿ってゆっくり上昇し、後の説明で明らかをように迅速な過渡音防止は期待できない。また、今、第1および第2ボルテージフォロウ回路 25 および 26 もオンであるから、入力結合容量 C_{in} および負帰還バイパス容量 C_f は共に電圧 V_s に向って充電される。容量 C_{in} および C_f の端子電圧をそれぞれ $V_{in(+)}$ および $V_{in(-)}$ （いずれも差動増幅回路 11 の入力電圧となる）とすると、これらは、第4図のグラフ中に示す曲線 41 に沿って上昇する。なお曲線 41 は第3図の曲線 31

(8)

113



にも一致する。ただし第4図の横軸は経過時間、縦軸は電圧である。

上述した充電がモータリング期間中続行され、最終的に電圧 V_P は電圧 V_S に等しくなる ($V_S = V_P$)。この時が時刻 t_1 である。 $V_S = V_P$ によってコンパレータ24はオフになり、その3出力はオフになる。この結果、充電回路23、第1および第2ボルテージフォロワ回路25、26はオフとレドライバ段12'はオンになる。充電回路23がオフになると、抵抗21'のバイパスルートは切断され、電圧比較容量 C_P の端子電圧は強制的に前記電圧 V_S にクランプされる。なぜなら点29の抵抗分圧電圧も $\frac{R_2}{R_1 + R_2} V_{CC} (=V_S)$ だからである。時刻 t_1 で電圧 V_S にクランプされる状態は、第3図のグラフ中、直線32として表わされる。一方、差動増幅回路11の入力電圧、すなわち容量 C_{in} , C_f の端子電圧も点27の電圧 V_S (第4図の直線42参照) に飽和し、ここに該差動増幅回路11の入力は平衡状態に達する。すなわち通常の入力信号の増幅を実行開始できる状態となる。

(9)

114

整理
114

公開実用 昭和60— 9312

また、このとき同時にドライバ段12'もオンとなり、通常の入力信号を増幅するための動作に切り換わる。要するに、ドライバ段12'がオンとなり出力段13の出力電圧 V_o が所定のレベル $\frac{V_{CO}}{2}$ に立ち上ると全く同一のタイミングで、通常の入力信号の増幅が開始するのである。この様子を示したのが第5図のグラフである。本グラフもまた横軸に時間を、縦軸に電圧をとって示す。前記ミューティング期間は時刻 t_1 で終了し、その時間時に出力電圧 V_o は曲線51に沿って $\frac{V_{CO}}{2}$ まで立ち上り、時刻 t_2 以降その $\frac{V_{CO}}{2}$ レベルに飽和する。この場合、曲線51の立上りは、やはり過渡音を生じさせる。ただし、その出力電圧レベルは、第1図の場合の約 V_{CO} に比して $\frac{1}{2}$ に低減しており、それ程大きな過渡音とならない。ここで注意すべきことは、曲線51の立上りに発生する過渡音と、本グラフ中、曲線52で示す入力信号源 S_{in} からの入力信号の増幅された入力信号が、その曲線51の立上りと全く同一タイミングでスピーカに出力されることである。このように、出力

青井
実地
印
10

110

115

青井
実地
印
10

電圧 V_0 の立上りと入力信号とを重畳することにより、人間の耳としてはその過渡音を感じることができなくなる。つまり、過渡音は実質的に消滅せしめられる。結局、上述のミュートイング期間 T は、過渡音と入力信号とが歩調を揃えて現出するまでの待ち期間であるとも言える。

以上第2図～第5図を用いて本考案の構成を述べたが、上述の説明は本考案の適用対象を単一増幅器としたものである。そして結果的に過渡音を実質的に消滅させることができた。ところが、増幅器の構成を変更することにより、前記過渡音は根本的に消滅せしめられる。この変更された増幅器の構成とは、BTL (balanced transformer less) 接続の低周波増幅器であり、BTL接続そのものは周知である。ここでBTL接続について簡単に述べておくと、その概略構成は例えば第6図に示す如きブロック構成をとる。第6図において、61は差動形式のメインアンプであり、入力信号源 S_{in} と直列接続する入力結合容量 C_{in} および負帰還バイパス容量 C_f に接続する。このメ

公開実用 昭和60— 9312

インアンプ61は通常の電力増幅器として動作する。なお、このメインアンプ61は詳細には、第1図に示した入力段10、ドライバ段12および出力段13によって構成される。BTL接続とは、メインアンプ61に対しインバートアンプ62を付加したものである。これはゲインが1で位相を反転する機能を有するが、その詳細構成は、やはり第1図に示した入力段10、ドライバ段12および出力段13からなる。これらメインアンプ61およびインバートアンプ62の各出力を合成すれば、電圧振幅は概略2倍となり、スピーカ14の出力パワーとしては理論的に4(=2²)倍となる。つまり高出力、例えば10数Wの増幅器が実現される。

上述したBTL接続の増幅器に本考案を適用した場合について述べる。第7図はBTL接続の低周波電力増幅器に本考案に基づく過渡音防止回路を付加した場合を示すブロック図である。この第7図の実施例においても、初段の差動増幅回路が平衡状態に達し出力電圧が所定の電圧レベル

($\frac{V_{DD}}{2}$) に達するまでミューティング期間を設ける
という基本思想は全く変わらない。第 7 図におい
て、第 2 図と同一の参照番号および記号が付され
た構成要素は両者機能的に全く同一である。第 7
図において、矢印 61 および 62 はそれぞれ第 6
図のメインアンプ領域およびインバートアンプ領
域を抜く。図から明らかなように、メインア
ンプ領域 (61) の構成は第 2 図に示した構成と殆ど
同一であり、従ってその動作も全く前述したと
ありである。構成上若干変更されたのは、インバ
ートアンプ領域 (62) のドライバ段 12' をオン・オ
フ制御するためコンプレータ 24' の出力が、3 出
力から 4 出力に増加したことである。そして、イ
ンバートアンプ側においてドライバ段 12' のオン
・オフ制御用出力が出力段 13' にも加えられるこ
とである (メインアンプ側 (61) においてドライ
バ段 12' のオン・オフ制御用出力は出力段 13 に
加えられていない)。出力段 13' も制御すること
としたのは、BTL 接続としたことにより本質的
にそうしなければならないためであり、本考案の

公開実用 昭和60— 9312

本質的な問題ではない（後述）。

インバートアンプ部(62)についてのみ動作説明をすると、前述したミュートイング期間 T （時刻 t_0 から時刻 t_1 まで）の間、ドライバ段12'はオフであり、その出力をオープン状態にする。また出力段13'のベースバイアス電流源（図示しないが、第1図のIに同じ）はオフ状態であり、その出力をオープン状態にする。出力段13'の出力はオープン状態であるが、スピーカの低抵抗負荷により、出力段13の出力（ミュートイング期間 T 中は零（第5図参照））と接続しており、該出力段13'の出力は零（第8図のグラフの期間 T 参照）である。このミュートイング期間 T 中、出力段13'をもオープンにしておかないと、出力段13の出力電圧零を反転した電圧（ V_{OO} ）が、そのミュートイング期間 T 中に、出力段13'の出力電圧として現われ過渡音が発生してしまう。次に、ミュートイング期間 T を経過すると（時刻 t_1 以降）、差動増幅回路11'の入力は平衡状態に達し、通常の入力信号の反転信号がこれより出力され、

また時刻 t_1 以降で過渡音防止回路 20' とし、断
されたドライバ段 12' および出力段 13' が本来の
増幅動作を開始する。このとき、出力段 13' の出
力電圧は第 8 図のグラフ中、曲線 81 に沿って $\frac{V_{OO}}{2}$
に立ち上り、それと同時に増幅された入力信号が
曲線 82 として重畳してくる。ただし曲線 82 は
第 5 図の曲線 52 と反転関係にある。かくして、
スピーカ 14 には、第 5 図のグラフ中時刻 t_1 以
降の信号と第 8 図のグラフ中時刻 t_1 以降の信号
とを合成した信号が印加され、入力信号の振幅電
圧が 2 倍になった信号（出力パワーが 4 倍になっ
た信号）がスピーカ 14 に現われる。ここで注意
すべきことは、出力段 13 および 13' の出力電圧
は時刻 t_1 で共に $\frac{V_{OO}}{2}$ に立ち上っており、直流的
にはスピーカ 14 に立ち上り電圧が全く現われない。
つまり過渡音の発生は根本的に消滅せしめられる。

以上説明したように本考案によれば単一増幅器
において実質的に過渡音を消滅せしめ、また BTL
接続の増幅器にあつてはこれを根本的に消滅せし
め得る過渡音防止回路が実現される。なお、上述

公開実用 昭和60— 9312

の説明において充電回路23により充電される電圧比較容量 C_P は、本考案を実現するために特別用意する必要はなく、通常の電源リップル除去用容量をそのまま流用することができる。

4. 図面の簡単な説明

第1図は本考案が適用される一般的なOTL方式の低周波電力増幅器を示すブロック図、第2図は本考案に基づく過渡音防止回路を付加した低周波電力増幅器を示す回路図、第3図は充電回路23によって充電される電圧比較容量 C_P の端子電圧の経時変化を説明するためのグラフ、第4図は入力結合容量 C_{in} および負帰還バイパス容量 C_f の各端子電圧の経時変化を説明するためのグラフ、第5図は第2図および第7図に示す出力段13の出力電圧の経時変化を説明するためのグラフ、第6図はBTL接続による低周波電力増幅器の1例を示すブロック図、第7図は本考案に基づく過渡音防止回路を付加したBTL接続による低周波電力増幅器の1例を示す回路図、第8図は第7図に示した出力段13'の出力電圧の経時変化を説明する

ためのグラフである。

図において、10は入力段、11は差動増幅回路、12、12'、12''はそれぞれドライバ段、13、13'はそれぞれ出力段、14は負荷であるスピーカ、20、20'はそれぞれ過渡音防止回路、23は充電回路、24はコンパレータ、25、26はそれぞれボルテージフォロウ回路、 C_P は電圧比較容量、 C_{1n} は入力結合容量、 C_f は負帰還バイパス容量である。

実用新案登録出願人

富士通株式会社

実用新案登録出願代理人

弁理士 青 木 朋

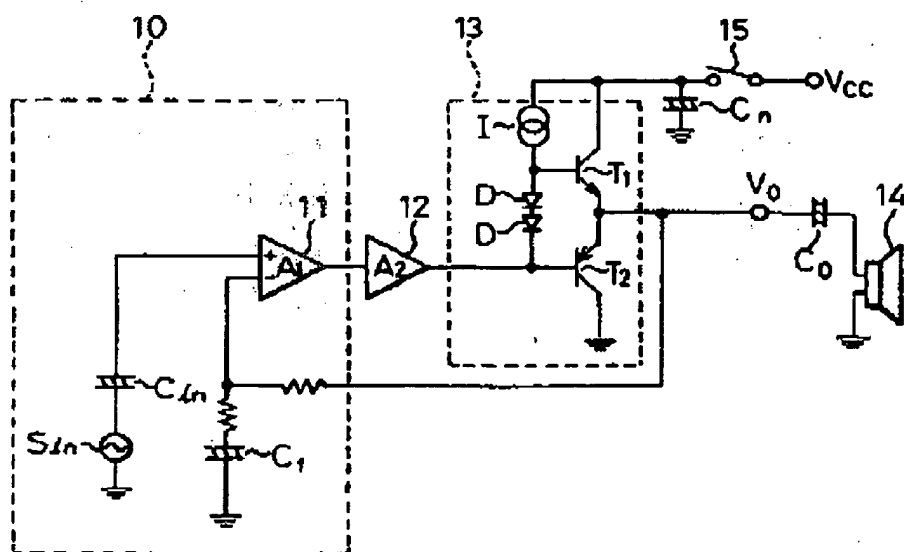
弁理士 西 館 和 之

弁理士 内 田 幸 男

弁理士 山 口 昭 之

公開実用 昭和60— 9312

第 1 図

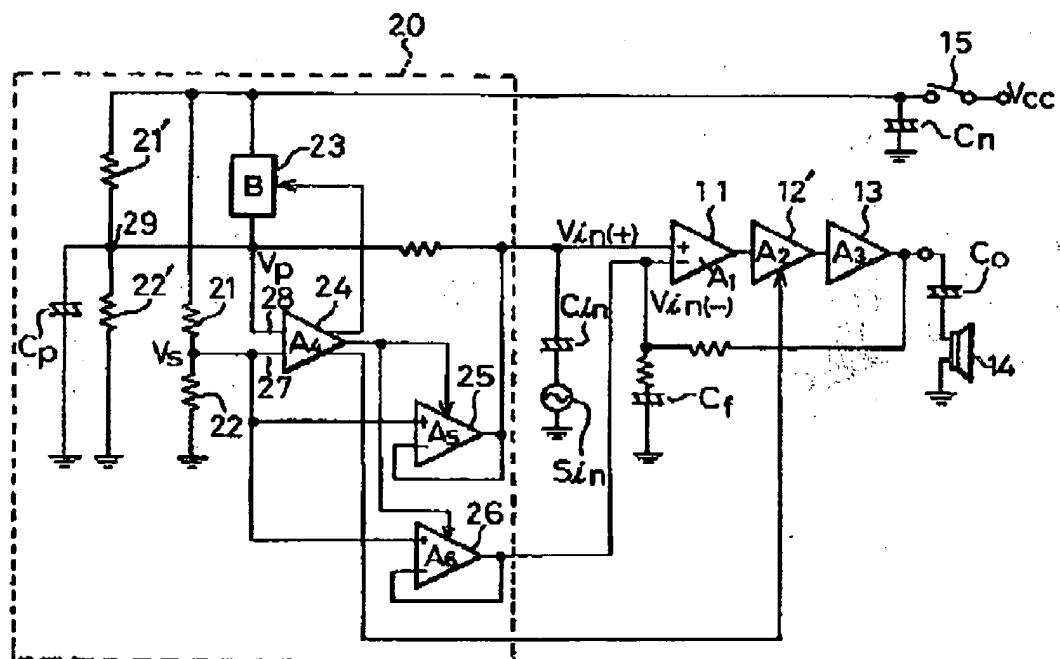


351

123

実開60-9312

第 2 圖



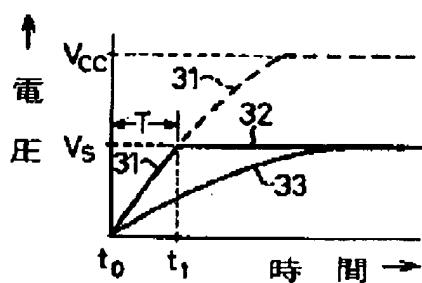
३८३

124

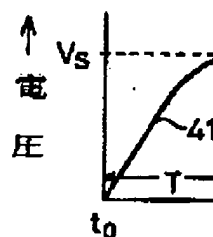
実開 50-9312

公開実用 昭和60— 931

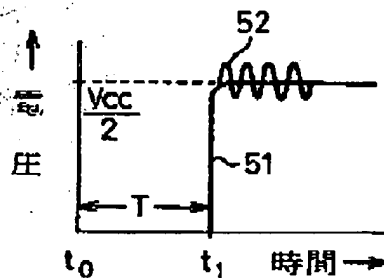
第 3 図



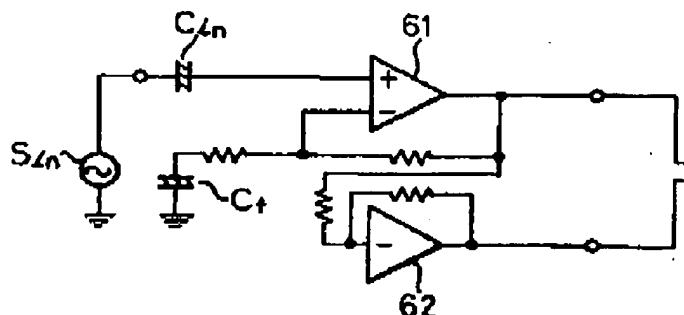
第 4 図



第 5 図

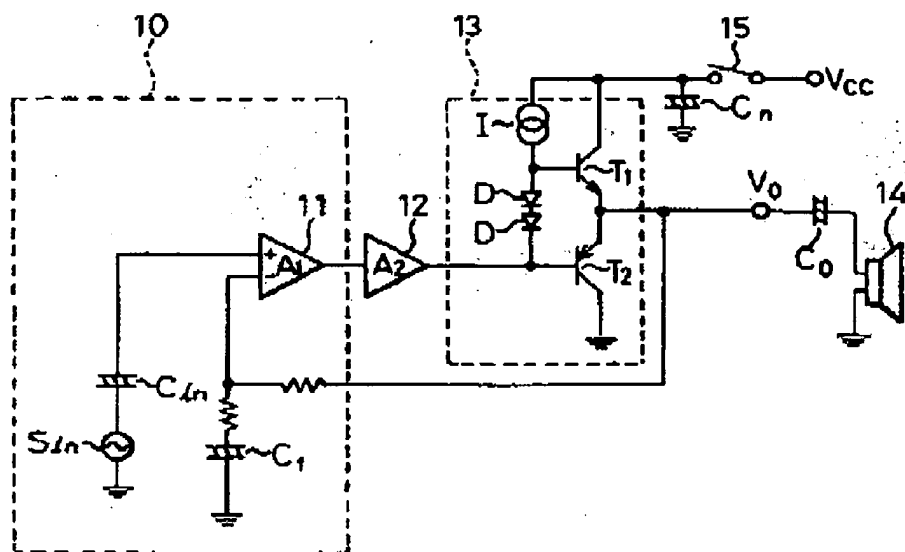


第 6 図



公開実用 昭和60— 9312

第 1 図

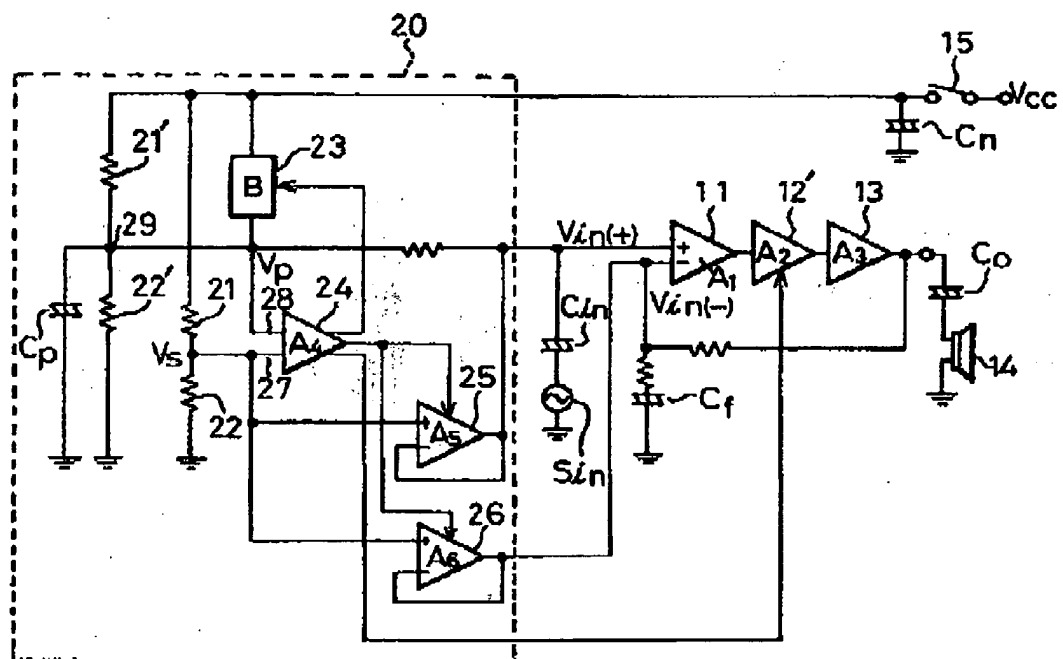


351

123

実開60-9312

第 2 圖



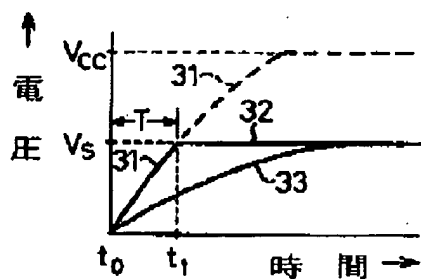
352

124

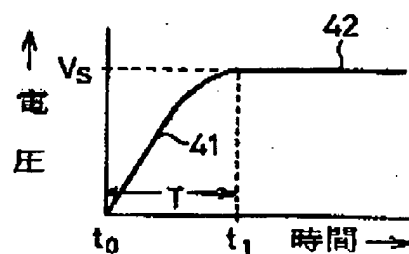
実開 80-9312

公開実用 昭和60— 9312

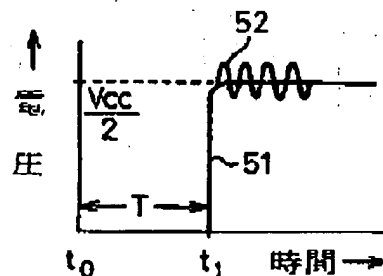
第 3 図



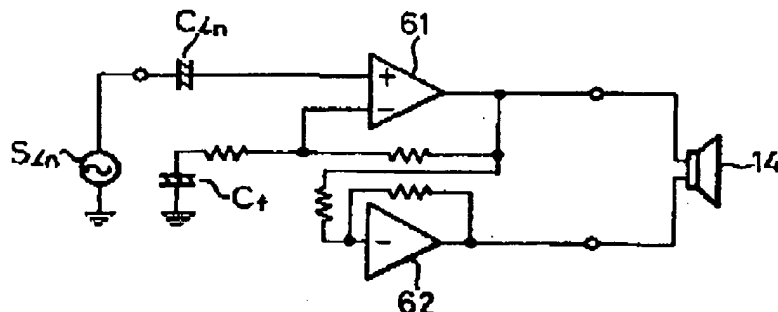
第 4 図



第 5 図



第 6 図

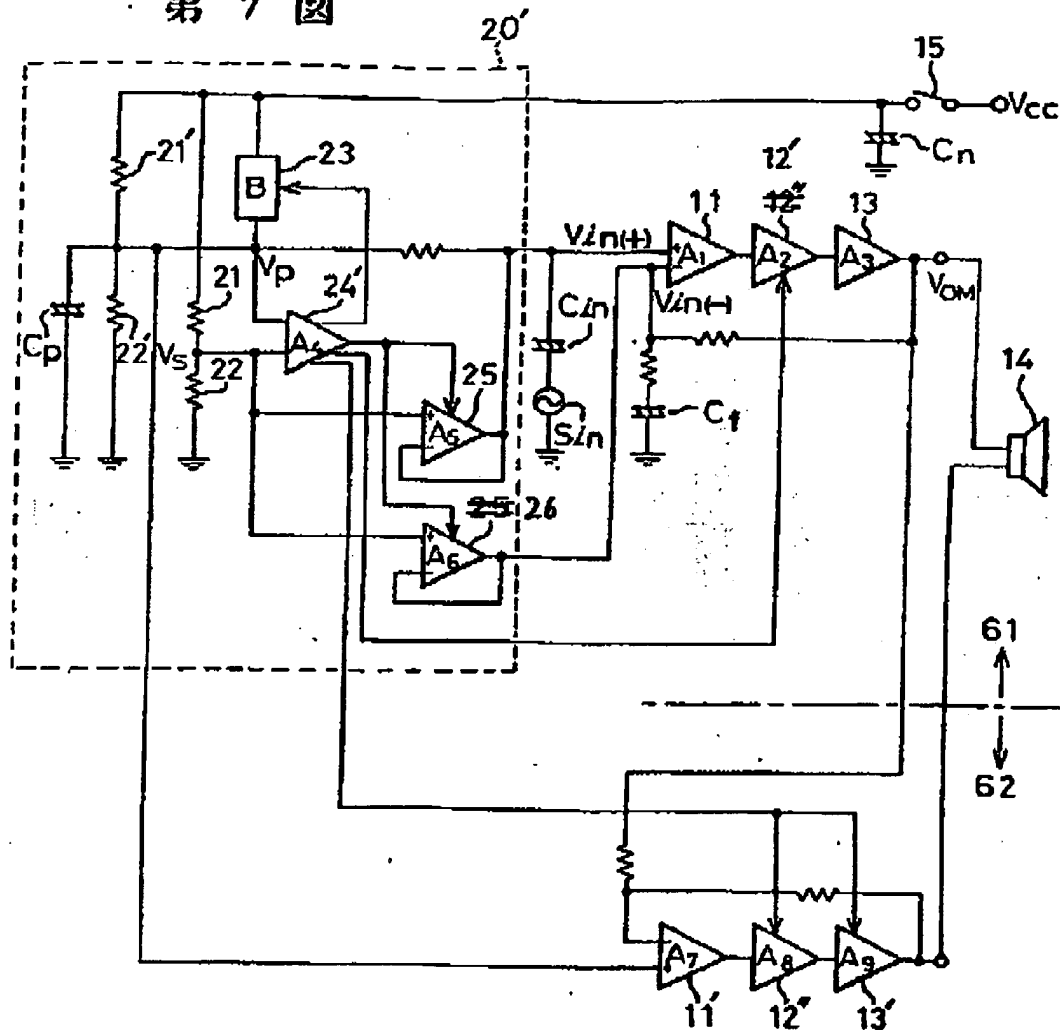


125

953

実開60-9312

第 7 图

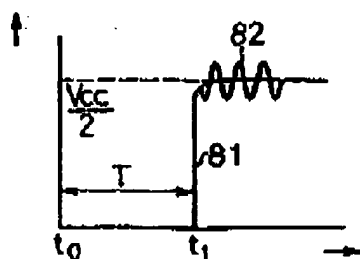


126

実開60-9312

公開実用 昭和60— 9312

第 8 図



特許出願代理人
 弁理士 青木 朗
 弁理士 西館 和之
 弁理士 内田 幸男
 弁理士 山口 昭之

127

実用60-9312